

S15 1 PN="57-041081"
?t 15/5/1

15/5/1
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

00890781 **Image available**
SOLID IMAGE PICKUP DEVICE

PUB. NO.: 57-041081 [JP 57041081 A]
PUBLISHED: March 06, 1982 (19820306)
INVENTOR(s): TANAKA SHOICHI
APPLICANT(s): TANAKA SHOICHI [000000] (An Individual), JP (Japan)
APPL. NO.: 55-116153 [JP 80116153]
FILED: August 23, 1980 (19800823)
INTL CLASS: [3] H04N-005/30; H01L-031/10
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --
Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,
CCD & BBD); R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 114, Vol. 06, No. 111, Pg. 121, June
22, 1982 (19820622)

ABSTRACT

PURPOSE: To decrease the influence by noise, and also to increase an output, by storing the charge of a vertical signal line in a capacitor through an MOSFET which is operated in a saturation mode, and reading it out.

CONSTITUTION: A vertical switch 2 is selected at a horizontal flyback time by an output of a vertical scanning circuit 8, and charge of a photodiode 1 flows to a vertical signal line 3 through the MOSFET2. The charge of the vertical signal line 3 flows into the second electrode 13 of the first capacitor 14 through the first transmission gate 12 being an MOSFET, and charges the first capacitor 14. During the next horizontal scanning period, the first capacitor 14 stores charge of the photodiode 1. At the next horizontal flyback time, the second transmission gate 17 conducts, charge of a joint 13 is transferred to a joint 18, and the second capacitor is charged. Charge of a capacitor 19 is outputted to a horizontal signal line 5 through a horizontal switch 4.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-41081

⑬ Int. Cl.³
H 04 N 5/30
//H 01 L 31/10

識別記号 庁内整理番号
6940-5C
7021-5F

⑭ 公開 昭和57年(1982)3月6日

発明の数 1
審査請求 未請求

(全 7 頁)

⑮ 固体撮像装置

名古屋市守山区森孝新田白山35
0-2 本地荘11棟402号

⑯ 特 願 昭55-116153
⑰ 出 願 昭55(1980)8月23日
⑱ 発 明 者 田中正一

⑲ 出 願 人 田中正一
名古屋市守山区森孝新田白山35
0-2 本地荘11棟402号

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

- (1) 複数の光セルと光セルの電荷を垂直信号線へ転送する複数の転送手段と複数の垂直信号線と1本又は複数本の水平信号線と垂直走査回路と水平走査回路を備え、上記の垂直走査回路は上記の転送手段を走査する事を特徴とするXYアドレス式固体撮像装置において、垂直信号線の一端は第1伝送ゲートのチャンネルの第1端に電気的に接続され、第1伝送ゲートのチャンネルの第2端は第1コンデンサの第2電極と第2伝送ゲートのチャンネルの第1端に接続され、第2伝送ゲートのチャンネルの第2端は第2コンデンサの第2電極に接続され、~~第1伝送ゲートのチャンネルは飽和モードで動作する電界効果トランジスタのチャンネルであり、~~水平信号線に接続された感知増巾器は第2コンデンサの第2電極に

蓄積された電荷状態もしくは電位状態を検出する事を特徴とするXYアドレス式固体撮像装置。

- (2) 第2コンデンサの第2電極に蓄積された電荷は、水平走査回路によって制御される電界効果トランジスタを通して水平信号線に転送される事を特徴とする(1)項記載の装置
- (3) 第2コンデンサの第1電極は水平走査回路から出た水平走査線に接続され、第2コンデンサの第2電極に蓄積された電荷は一定の電位を持つ電位障壁をこえて水平信号線に転送される事を特徴とする(1)項記載の装置。
- (4) 第2コンデンサの第2電極と検出用電界効果トランジスタのゲート電極が接続され、検出用電界効果トランジスタと直列に水平走査回路によって走査される電界効果トランジスタが接続される事を特徴とする(1)項記載の装置。
- (5) 第2コンデンサの第2電極と検出用電界効果トランジスタのゲート電極が接続され、第

2 コンデンサの第1電極は水平走査回路によって走査される事の特徴とする(1)項記載の装置。

(6) 第1伝送ゲートのゲート電極には直流電圧が印加され、垂直信号線に読み出された電荷は水平掃線期間及び水平走査期間に第1伝送ゲートを通して第1コンデンサに転送される事の特徴とする第1項記載の装置。

(7) 撮像領域の上下にそれぞれ水平信号線が配置され、撮像領域の中間で垂直信号線は分割され、上側に分割された垂直信号線は上側の第1伝送ゲートに接続され、下側に分割された垂直信号線は下側の第1伝送ゲートに接続される事の特徴とする第1項記載の装置。

3

作するMOSスイッチングトランジスタとMOSキャパシタが付加される。そして、垂直信号線の電荷は水平掃線期間にMOSスイッチングトランジスタを通してMOSキャパシタに蓄積される。

その後、MOSスイッチングトランジスタはオフし、MOSキャパシタのゲート電極は低電位になる。そして次の水平走査期間に水平スイッチが順番に選択され、MOSキャパシタに蓄積された電荷は水平スイッチを通して水平信号線を充電する。

発明の開示

上記の先行技術にも関わらず、XYアドレス式イメージセンサは解決を必要とする多くの問題を持つ。問題の1つは水平走査速度の向上である。図1のMOSイメージセンサにおいて、垂直信号線3は水平スイッチ4によって放電される。しかし、垂直信号線の容量が大きく、水平スイッチの導通抵抗が高いので完全な放電は困難であり、その結果、垂直解像度が低下する。更に信号電荷は垂直信号線3と水平信号線4に分配されるので出力電圧は低くなる。図2のMOSイメージセンサにおいて

3. 発明の詳細な説明

技術分野

本説明はXYアドレス式固体撮像装置に関し、特にその水平出力回路に関する。

背景技術

MOS式又はCID式イメージセンサはXYアドレス式固体撮像装置として知られている。たとえばMOSイメージセンサは光ダイオードと垂直スイッチと垂直信号線と水平スイッチと水平信号線を持つ。光ダイオードは接合ダイオード又はMOSダイオードである。垂直スイッチは垂直走査回路によって制御されるMOSトランジスタであり、水平スイッチは水平走査回路によって制御されるMOSトランジスタである。このMOSイメージセンサの構造と動作と利点はよく知られており、詳細な説明は省略される。特開54-43615、44823、48431はMOSイメージセンサの改良技術である。MOSイメージセンサの垂直信号線が持つ大きな静電容量を除外するために、垂直信号線と水平スイッチの間に飽和モードで働

4

垂直信号線の電荷は水平掃線期間に前もってMOS容量に転送される。しかし、垂直線3からMOSキャパシタ12へ電荷を完全転送する事は困難であり、その結果、垂直解像度の改善は不十分である。第2の問題は水平スイッチ4によるスパイクノイズである。水平走査線7と水平信号線5は水平スイッチ4のゲート容量によって結合している。その結果、水平スイッチのスパイクノイズによって、出力電圧の8N比は低下する。本発明の第1の目的は上記の欠点を改善する事である。本発明の第2の目的は固体イメージセンサの垂直解像度を改善する事である。本発明の第3の目的は固体イメージセンサの出力電圧を増加する事である。本発明の第4の目的は固体イメージセンサの8N比を改善する事である。本発明の第5の目的は固体イメージセンサの水平走査速度を改善する事である。本発明の概要が以下に説明される。光ダイオードの電荷は垂直スイッチであるMOSトランジスタを通して垂直方向に配列された垂直信号線に読み出される。垂直信号線の電荷は第1伝送ゲ

ートを介して第1コンデンサに蓄積される。第1伝送ゲートは飽和モードで動作するMOSトランジスタであり、それは常に導通状態であるか又は第1コンデンサから第2コンデンサへ電荷を転送する期間以外は導通状態である事が好ましい。第1コンデンサは好ましくはMOS容量であり、それに蓄積された電荷は次の水平掃線期間内に第2伝送ゲートを介して、第2コンデンサに転送される。第2コンデンサも好ましくはMOS容量である。そして、次の水平走査期間において、第2伝送ゲートはオフ状態であり、第2コンデンサに蓄積された電荷又は電位は順番に検出される。第1実施例において、水平走査電圧は第2コンデンサの第1電極に印加される。そして、第2コンデンサは電位障壁を介して水平信号線に隣接し、電荷は電位障壁を超えて水平信号線に転送される。上記の電位障壁の電位は第2コンデンサの第2電極の最大電位と最小電位の間の中間であり、そして水平信号線の電位より浅い。上記の電位障壁は直流電圧を持つMOS伝送ゲートによって作られる

7

において、第2伝送ゲートのドレインに接続される第2コンデンサの第2電極は検出用MOSトランジスタのゲート電極に接続される。そして第2コンデンサの第1電極に水平走査電圧を印加する事によって、検出用MOSトランジスタの両端に増巾された信号電圧が得られる。そして、水平掃線期間のはじめに第2伝送ゲートのドレインに接続されたクリア用MOSトランジスタによって第2伝送ゲートのドレインはクリアされる。なお、各実施例において垂直スイッチは第2伝送ゲートがオフした直後にオンする事が好ましい。本発明の特徴が以下に説明される。本発明において、光セルの電荷は水平掃線期間に垂直信号線に転送される。そして垂直信号線の電荷は水平走査期間と水平掃線期間に第1伝送ゲートを通して第1コンデンサに転送される。第1コンデンサの電荷は次の水平掃線期間に第2コンデンサに転送される。その後、第2伝送ゲートはシャ断され、次の水平走査期間に第2コンデンサの電荷又は電位が順番に検出される。本発明の効果が以下に説明される。

9

が、より簡単には一定の距離を介して第2コンデンサと水平信号線を配置する事によって作られる。又、バルクチャンネル構造において、イオン注入によっても電位障壁は作られる。第2実施例において、第2コンデンサと水平信号線は水平スイッチであるMOSトランジスタを介して接続される。そして水平走査電圧は水平スイッチであるMOSトランジスタのゲート電極に印加される。もちろん、垂直スイッチであるMOSトランジスタは第2伝送ゲートがオフした直後にオンする事が好ましい。第3の実施例において、第2伝送ゲートのドレインに接続される第2コンデンサの第2電極は検出用MOSトランジスタのゲート電極に接続される。そして、検出用MOSトランジスタと直列に接続される水平スイッチを選択する事によって、検出用MOSトランジスタの両端に増巾された信号電圧が得られる。そして、水平掃線期間のはじめに第2伝送ゲートのドレインに接続されたクリア用MOSトランジスタによって第2伝送ゲートのドレインはクリアされる。第4の実施例に

8

本発明において、垂直信号線から電荷を受けとる第1コンデンサと水平走査期間に読み出される第2コンデンサが分離されているので、第1コンデンサは水平走査期間にも垂直信号線から電荷を受けとる事ができる。その結果、水平走査速度と垂直解像度は大巾に向上する。更に、第2コンデンサの電荷を水平信号線に転送する第1又は第2実施例において信号電荷は水平信号線だけを充電するので出力電圧が大きい。特に、第2コンデンサの第1電極に水平走査電圧を加える第2又は第4実施例において、水平走査線と水平信号線間の容量が小さいのでスパイクノイズが小さくなる。又、第2コンデンサの電位を検出用トランジスタによって増巾する第3、第4実施例において出力電圧と感度は大巾に向上する。特に第4実施例において、検出用トランジスタのソースとドレインを差動センスアンプの入力節点に接続すればスパイクノイズの大部分は相殺されるので、S/N比が向上する。本発明において、垂直信号線から水平信号線又は電荷吸収ドレインへの電荷転送はBBD又は

CCDによって実施できる事は当然であり、好ましい。本発明の他の特徴は以下の実施例によって説明される。

発明を実施するための最良の形態

図1はMOSイメージセンサの基本的な筆画回路である。図2は特開54-43615に開示されるMOSイメージセンサの筆画回路である。図2において、水平帰線期間内に垂直信号線3に読み出された電荷は第1伝送ゲート12を通して第1コンデンサ14に蓄積される。水平走査期間において、第1伝送ゲート12はオフし、水平スイッチ4が順番に選択される。図3は本発明の1実施例を表わす筆画回路である。このMOSイメージセンサの動作が以下に説明される。垂直走査回路8によって垂直スイッチ2は水平帰線時間に選択される。そして、光ダイオード1の電荷はMOSトランジスタ2を通して垂直信号線3に流れる。垂直信号線3の電荷はMOSトランジスタである第1伝送ゲート12を通して、第1コンデンサ14の第2電極13に流れ込み、第1コンデンサを充電する。

11

いは公知であり、詳細な説明は省略される。図4は本発明の他の実施例を表わす筆画回路である。図4のイメージセンサの筆画回路は図3のイメージセンサの筆画回路と基本的に同じである。ただ、図4においてMOSトランジスタ4のゲート電極には直流電圧が印加され、水平走査回路9から出た水平走査線7は第2コンデンサ19の第1電極に接続される。MOSトランジスタ4のチャンネル電位は水平信号線5の電位より浅く、そして節点18の非転送時の電位より浅く、節点16の転送時の電位より深い。そして、水平走査期間に第2コンデンサ19の第1電極は順番に選択され、節点18は浅くなる。その結果、節点18の信号電荷は水平信号線7に転送される。本実施例において、一定電位をもつ電位障壁であるMOSトランジスタ4は省略する事ができる。そして、節点18と水平信号線7間のパンチスルーによって電荷を転送する事ができる。即、水平走査回路9によって上記のパンチスルーを制御する事ができる。転送時に、節点18と水平信号線7間の電位差は両者間のパン

13

特開昭57-41051(4)

MOSトランジスタ12は常に導通状態に保持されるか又は第1コンデンサの電荷を第2コンデンサ19に転送する時だけシャ断される。又、MOSトランジスタ12は常に飽和モードで動作するので垂直信号線3の最終電位はMOSトランジスタ12のゲート電圧によって決定される。そして次の水平走査期間の間、第1コンデンサ14は光ダイオード1の電荷を蓄積する。そして次の水平帰線時間に第2伝送ゲート17が導通し、節点13の電荷は節点18に流れる。この時、第1コンデンサ14の第1電極15は低電圧になり、MOSトランジスタ17は飽和モードで動作する。その結果、信号電荷はすべて節点18に転送され、第2コンデンサ19が充電される。そして次の垂直スイッチが導通する前に第2伝送ゲート17はシャ断され、水平帰線時間の終りに第2コンデンサ19の第1電極20が低電圧になる。そして次の水平走査期間に水平スイッチであるMOSトランジスタ4が順番に選択され、節点18の電荷は水平信号線5に流れ出る。センスアンプ11、水平走査回路9、負荷抵抗10の機能につ

12

チスルー電圧 ΔV_T より大きくなり、節点18の電荷は水平信号線7に転送される。非転送時に、両者間の電位差は上記のパンチスルー電圧より小さくなり、節点18の電荷は保持される。図3、図4の実施例において、第1、第2伝送ゲート及び第1、第2コンデンサ及びMOSトランジスタ4をBBD又はCCDに変更する事は可能であり、本発明の要旨を変更しない。図5は本発明の他の実施例を表わす筆画回路である。図5のイメージセンサの筆画回路は図3のイメージセンサの等価回路と基本的に同じである。ただ、図5において、MOSトランジスタ4のドレインは高位電源線23に接続される。そして第2コンデンサの第2電極18は検出用MOSトランジスタ21のゲート電極に接続される。検出用MOSトランジスタ21と水平走査回路7によって選択される走査用MOSトランジスタ20は直列に接続される。本実施例において、検出用MOSトランジスタの他の一端は抵抗22を介して低位電源に接続され、走査用MOSトランジスタの他の一端は水平信号線5に接続される。

14

水平信号線5は抵抗10を介して高位電源に接続される。そして、水平帰線期間に第1コンデンサ14から第2コンデンサ19に電荷が転送され、その後第2伝送ゲート17がオフする。次の水平走査期間に走査用MOSトランジスタ20が順番に選択され、検出用MOSトランジスタによって増巾された電圧が水平帰線時間において、第2伝送ゲート17がオンする前にクリア用MOSトランジスタ4がオンし、節点18はクリアされる。その後、第1コンデンサから第2コンデンサに電荷が転送される。その後、次の垂直スイッチ2が選択され、光セルの電荷が垂直信号線3に転送される。本実施例において、節点18の電位変化はもともと大きく、それが更にMOS T21によって増巾されるので出力感度は極めて大きい。図6は本発明の他の実施例を表わす筆画回路である。図6のイメージセンサの筆画回路は基本的に図5のイメージセンサと同じである。ただ、図6において水平走査回路9から出た水平走査線7は第2コンデンサ19の第1電極に接続される。そして第2コンデンサ19

15

は各節点はMOS技術又はBB D技術によって作られる。本実施例において、電位障壁27はパンチスルー障壁であり、節点18と電極線5間のパンチスルー電圧は走査時にパンチスルーが発生し、非走査時にパンチスルーが発生しないように設計される。図9は図6のイメージセンサの1実施例断面図である。そして、第2コンデンサは電極7の下に作られるMOS容量である。又、第1コンデンサは電極15の下に作られるMOS容量である。なお、本発明のイメージセンサにおいて、垂直信号線の容量はできる限りへらす事が好ましい。好ましい実施例において、垂直信号線が接続される拡散領域をはさんで2個の光セルが配置される。又、受光領域の上下に水平信号線を配置し、そして受光領域の中間で垂直信号線を2つに分割してもよい。上側に分割された垂直信号線は上半分の光セルから電荷を受け取り、そしてそれを上側の水平信号線に送り、下側に分割された垂直信号線は下半分の光セルから電荷を受け取り、そしてそれを下側の水平信号線に送る。その結果、垂直信

特開昭57-41081(5)

の第2電極は検出用MOSトランジスタ21のゲート電極に接続される。水平走査線7が低電位である時、検出用MOSトランジスタ21のゲート電極も低電圧になり、そのソースに接続された第2信号線24の電圧を適当に選択する事によってMOS T21はオフする。そして水平走査線7が高電位になる時、MOS T21はオンする。この時節点18に転送された電荷はMOS T21の電位を変化する。本実施例においてMOS T21のドレイン側に接続された水平信号線5と上記の第2水平信号線24間の差動電圧がアンプ11によって検出される。次の水平帰線期間においてクリア用MOSトランジスタ4がオンし、節点18の電荷は電荷吸収線23に流れる。本実施例においてスパイクノイズの大部分は相殺され、S/N比は更に増加する。図7は図4のイメージセンサの1実施例断面図であり、各電極は2重ポリシリコンCCD技術によって作られる。又、電位障壁を作る直流電極28には走査電圧の中間のDC電圧が印加される。図8は図4のイメージセンサの1実施例断面図であり、各電極又

16

号線の実質的な容量は約半分になる。これらの工夫により水平走査速度は更に改善される事ができる。

4. 図面の簡単な説明

図1は従来のXYアドレス式MOSイメージセンサの筆画回路である。図2は特開54-43615に開示されたXYアドレス式MOSイメージセンサの筆画回路である。図3は水平走査MOSトランジスタを備えるMOSイメージセンサの筆画回路である。図4は水平走査される第2コンデンサを備えるMOSイメージセンサの筆画回路である。図5は検出用MOSトランジスタと水平走査MOSトランジスタを備えるMOSイメージセンサの筆画回路である。図6は検出用MOSトランジスタと水平走査される第2コンデンサを備えるMOSイメージセンサの筆画回路である。図7は2重ポリシリコンCCD技術によって作られた図4のイメージセンサの断面図である。図8はBB D又はMOS技術によって作られた図4のイメージセンサの断面図である。図9は図6のイメージ

センサの1実施例断面図である。

- | | |
|-------------------|------------------|
| 1はホトセル | 2は垂直スイッチ |
| 3は垂直信号線 | 5は水平信号線 |
| 6は垂直走査線 | 7は水平走査線 |
| 8は垂直走査回路 | 9は水平走査回路 |
| 10は負荷抵抗 | 11は差動アンプ |
| 12は第1伝送ゲート | 13は第1コンデンサの第2電極 |
| 14は第1コンデンサ | 極 |
| 15は第1コンデンサの第1電極 | |
| 16は第1伝送ゲートのゲート電極 | |
| 17は第2伝送ゲート | 18は第2コンデンサの第2電極 |
| 19は第2コンデンサ | 2電極 |
| 20は水平走査用MOSトランジスタ | |
| 21は検出用MOSトランジスタ | |
| 22は負荷抵抗 | 23は電荷吸収線 |
| 24は低位電源線 | 25は第2伝送ゲートのゲート電極 |
| 26は半導体の基板 | ート電極 |
| 27はパンチスルー形電位障壁 | |
| 28は中間電位をもつ直流電極 | |

特許出願人 田中正一

19

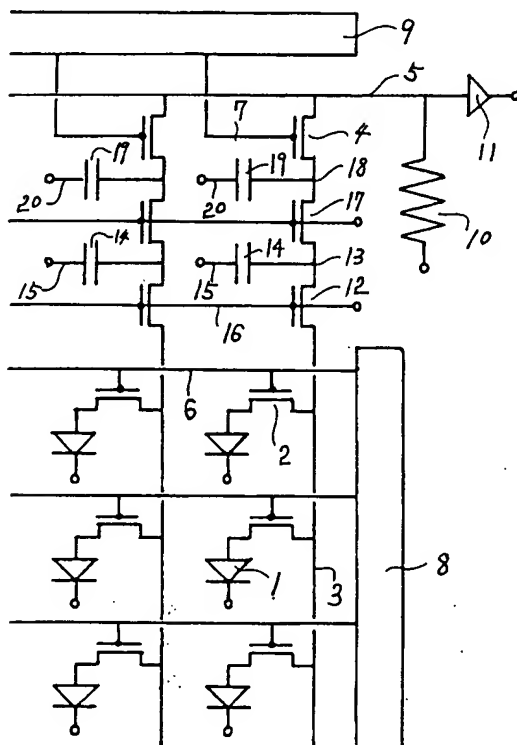
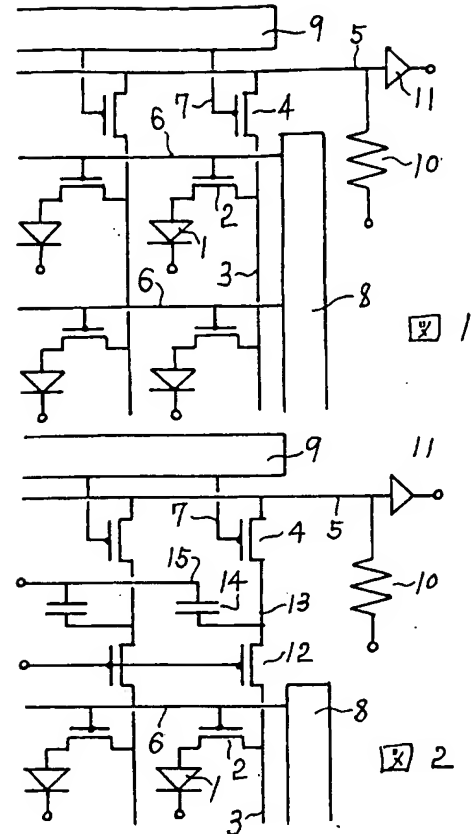


図 3

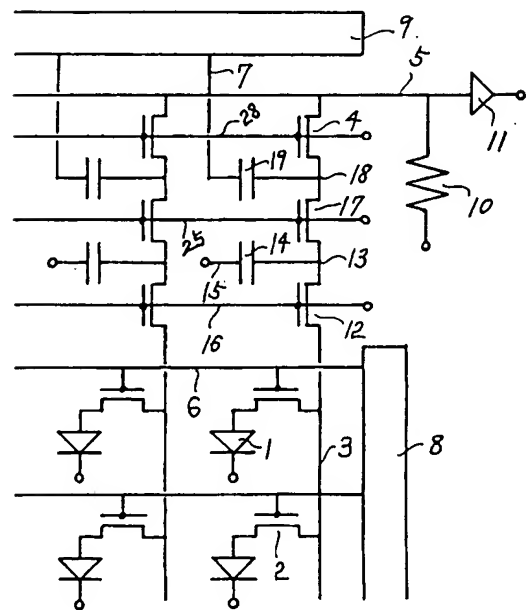


図 4

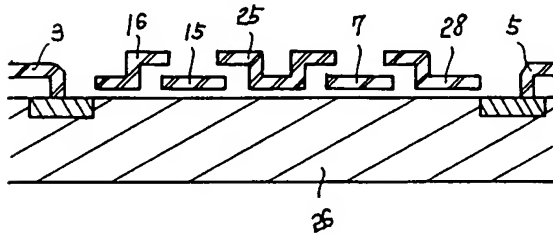
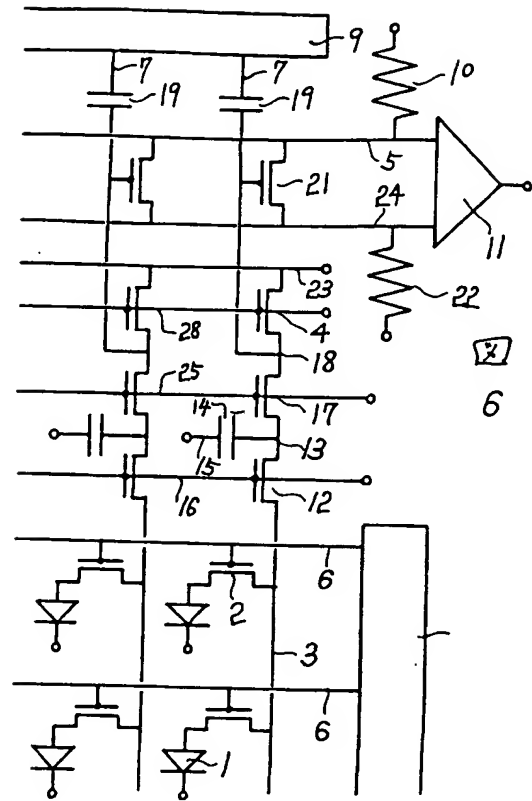
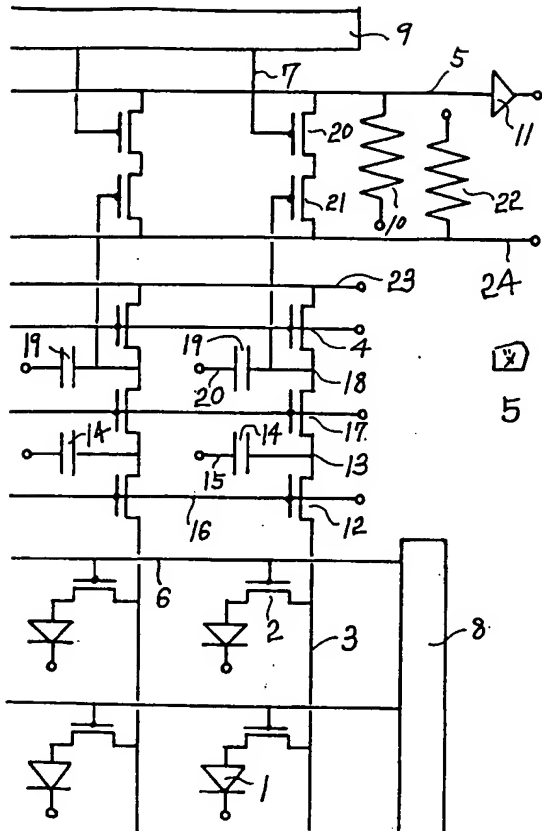


図 7

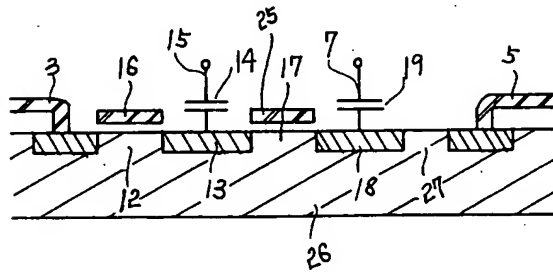


図 8

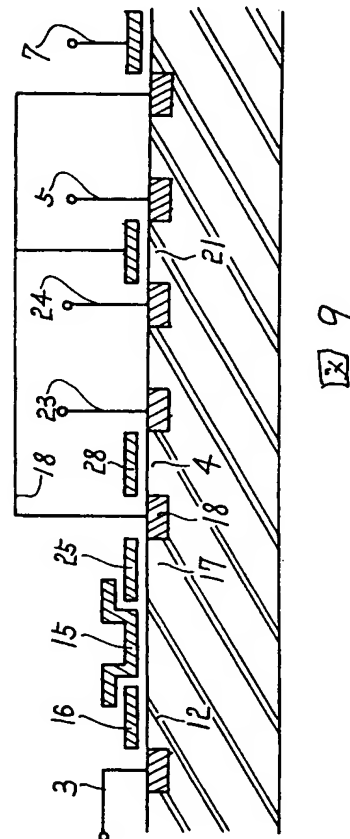


図 9